

IMAGE INFORMATION PROCESSOR

Publication number: JP9062465

Publication date: 1997-03-07

Inventor: IWASAKI YUKIO

Applicant: KYOCERA CORP

Classification:

- international: **B41J5/30; G06F3/12; H04N1/00; B41J5/30; G06F3/12; H04N1/00; (IPC1-7): G06F3/12; B41J5/30; H04N1/00**

- European:

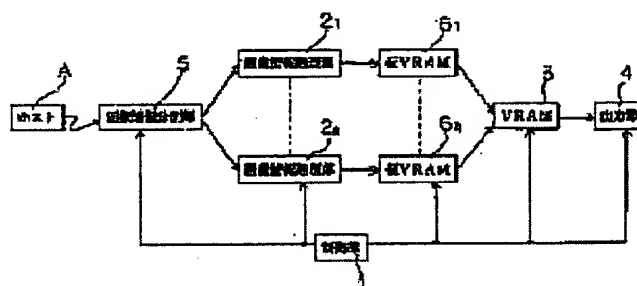
Application number: JP19950218452 19950828

Priority number(s): JP19950218452 19950828

Report a data error here

Abstract of JP9062465

PROBLEM TO BE SOLVED: To perform a print process in parallel and to prevent the print speed from decreasing even when complicated image information is printed by providing an image information division part, an image information process part, and a 1st storage part. **SOLUTION:** This image information processor consists of a control part 1, an image information division part 5, image process parts 21 -2n virtual VRAMs 61 -6n , VRAMs 3, and an output part 4, and only necessary numbers of image information process parts and virtual VRAMs are provided. Then the image information division part 5 divides image information inputted from a host computer A into a plurality of blocks and stores the respective blocks in the virtual VRAMs 61 -6n independently and can output them to a VRAM 3. Consequently, while one virtual VRAM (e.g. 61) outputs image information to the VRAM 3, remaining blocks and image information inputted successively from the host computer can be stored in other virtual VRAMs (e.g. 62 -6n).



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-62465

(43) 公開日 平成9年(1997)3月7日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 3/12			G 0 6 F 3/12	B
				D
B 4 1 J 5/30			B 4 1 J 5/30	Z
H 0 4 N 1/00	1 0 7		H 0 4 N 1/00	1 0 7 A

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願平7-218452

(22) 出願日 平成7年(1995)8月28日

(71) 出願人 000006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町5番地の22

(72) 発明者 岩崎 幸雄

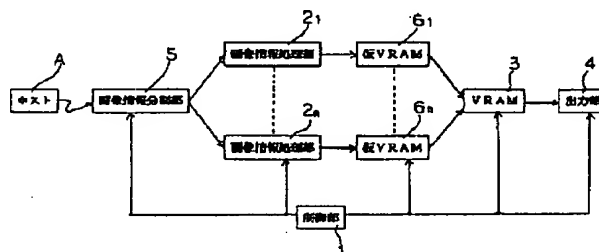
東京都世田谷区玉川台2丁目14番9号 京セラ株式会社東京用賀事業所内

(54) 【発明の名称】 画像情報処理装置

(57) 【要約】

【課題】複雑な画像情報でも印字速度の低下を防止できる画像情報処理装置とする。

【解決手段】制御部1と、画像情報分割部5と、画像情報処理部2₁～2_nと、仮VRAM6₁～6_nと、VRAM3と、出力部4とよりなり、画像情報を画像情報分割部5でブロック毎に分割して複数個の画像情報処理部2₁～2_nが独立して処理する。



【特許請求の範囲】

【請求項 1】 ホストコンピュータ等の外部から入力される画像情報を印字処理する画像情報処理装置において、装置全体を制御する制御部と、入力された画像情報をブロックまたはコマンド単位に分割する画像情報分割部と、分割された画像情報を処理する複数の画像情報処理部と、該画像情報処理部に接続される複数の第 1 記憶部と、該複数の第 1 記憶部の全てに接続される第 2 記憶部と、印字処理する出力部とより構成し、前記複数の画像情報処理部と第 1 記憶部を用いて前記画像情報分割部で分割されたブロックまたはコマンド単位の画像情報を独立させて処理を行うようにしたことを特徴とする画像情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、入力される画像情報を印字処理する画像情報処理装置に関する。

【0002】

【従来の技術】 図 4 は、従来の画像情報処理装置を示す構成図であり、外部装置となるホストコンピュータ A、装置全体を制御する制御部 21、ホストコンピュータ A から入力される画像情報を処理する画像情報処理部 22、画像情報を格納する VRAM (ビデオ RAM) 23、VRAM 23 内の画像情報を印字処理する出力部 24 よりなる。

【0003】 例えば、レーザビームプリンタでは、ホストコンピュータ A から入力される画像情報、すなわち文字コード・印字制御データ等を、一旦 VRAM 23 に格納し、出力部 24 は、この VRAM 23 に格納された画像情報を逐次読み出し、文字コードに応じたドットデータに変換し、レーザビームをこの変換したドットデータに応じたオン・オフ信号に変調制御して、感光体ドラムに潜像を形成し、トナー等の現像剤により現像を行い、搬送される記録紙にトナー画像を転写し、記録紙に転写されたトナー像を熱定着させて、印字処理が完了する。

【0004】

【発明が解決しようとする課題】 ところが、従来の画像情報処理装置では、出力部 24 で絵などの画像情報処理に時間がかかる複雑な画像情報を印字している時に、続けてホストコンピュータ A から入力されている画像情報を処理することができず、印字処理速度が遅くなってしまうという問題があった。

【0005】

【課題を解決するための手段】 本発明は、上記問題に鑑みてなされたものであり、ホストコンピュータ等の外部から入力される画像情報を印字処理する画像情報処理装置において、装置全体を制御する制御部と、入力された画像情報をブロックまたはコマンド単位に分割する画像情報分割部と、分割された画像情報を処理する複数の画像情報処理部と、画像情報処理部に接続される複数の第

2

1 記憶部と、複数の第 1 記憶部の全てに接続される第 2 記憶部と、印字処理する出力部とより構成し、複数の画像情報処理部と第 1 記憶部を用いて画像情報分割部で分割されたブロックまたはコマンド単位の画像情報を独立させて処理を行うようにした画像情報処理装置としたものである。

【0006】

【発明の実施の形態】 以下本発明の実施例を図面を用いて説明する。図 1 は、本発明の画像情報処理装置を示す構成図であり、制御部 1 と、画像情報分割部 5 と、画像情報処理部 21 ~ 2n と、仮 VRAM 61 ~ 6n と、VRAM 3 と、出力部 4 とよりなる。なお、画像情報処理部および仮 VRAM は、必要な数だけ設ければよい。

【0007】 制御部 1 は、画像情報処理装置全体を制御し、例えば、出力部 4 の印字処理状況、画像情報処理部 21 ~ 2n の使用状況、仮 VRAM 61 ~ 6n の使用状況、VRAM 3 の使用状況、画像情報分割部 5 の画像情報処理部 21 ~ 2n への出力先状況などを把握して、画像情報分割部 5 がいずれの画像情報処理部 21 ~ 2n へ画像情報を出力するかを制御する。

【0008】 画像情報分割部 5 は、接続されたホストコンピュータ A からの画像情報を独立して処理できる複数のブロックに分割して、制御部 1 から指定された画像情報処理部 21 ~ 2n のいずれかに出力する。

【0009】 画像情報処理部 21 ~ 2n は、入力される画像情報を処理し、後続の仮 VRAM 61 ~ 6n に出力する。

【0010】 仮 VRAM 61 ~ 6n 、および VRAM 3 は、入力された画像情報を格納し、記憶する。VRAM 3 は、仮 VRAM 61 ~ 6n から入力される全ての画像情報を格納する。

【0011】 出力部 4 は、VRAM 3 から画像情報を受け取り、印字処理を行う。

【0012】 本発明は、画像情報分割部 5 でホストコンピュータ A から入力される画像情報を複数のブロック毎に分割し、各ブロックを独立させて仮 VRAM 61 ~ 6n に格納し、適宜 VRAM 3 に出力することができるので、1 つの仮 VRAM (例えば 61) が VRAM 3 に画像情報を出力している間に他の仮 VRAM (例えば 62 ~ 6n) に残りのブロックやホストコンピュータ A から続けて入力されてくる画像情報を格納する動作を行える。したがって、印字処理を並列して行うことができ、複雑な画像情報を印字する場合でも印字速度の低下を防止することができる。

【0013】 図 2 は、図 1 の画像情報処理装置の動作例を示すフローチャートである。まず、ホストコンピュータ A からの画像情報が入力されたか否かを判断し (step 1)、入力されれば、その画像情報を画像情報分割部 5 が独立した複数のブロックに分割する (step 2)。次に、i = 1 とし (step 3)、制御部 1 が画

3

像情報処理部 2_i (すなわち 2₁) が開放されているか否かを判断する (step 4)。開放されていないければ、 $i=n$ か否かを判断し (step 5)、 n ならば step 3 に戻り、 n でないならば、 i に 1 を加えた (step 6) 後、step 4 に戻る。また、step 4 で画像情報処理部 2_i が開放されていれば、画像情報を画像情報処理部 2_i に入力し (step 7)、画像情報分割部 5 に他のブロックが残っているかを判断する (step 8)。残っていないければ、動作を終了し、残っているければ、 $i=n$ か否かを判断する (step 5)。 n ならば step 3 に戻り、 n でないならば、 i に 1 を加えた (step 6) 後 step 4 に戻る。

【0014】これらの動作が全て終了した後、あるいは動作中に、制御部 1 が各部の使用状況を把握して、仮 VRAM 6₁ ~ 6_n に格納された画像情報を仮 VRAM 6₁ から順に VRAM 3 に出力し、出力部 4 で印字処理を開始する。

【0015】

【実施例】上記図 1、図 2 の他の実施例として、以下のことが考えられる。

【0016】(1) 上記動作で i を 1 から始めた (図 2 の step 3) が、 i をランダムに決定し、仮 VRAM 6₁ ~ 6_n の格納順序を制御部 1 が把握し、画像情報が格納された順に VRAM 3 に出力するようにしてもよい。

【0017】このようにすると、記憶容量の異なる仮 VRAM 6₁ ~ 6_n を使用し、画像情報分割部 5 が独立したブロックに適当な記憶容量の仮 VRAM 6₁ ~ 6_n を選択することができる。

【0018】(2) ホストコンピュータ A に複数台の端末機が接続されている場合に、各端末機と各仮 VRAM 6₁ ~ 6_n を 1 対 1 に対応させ、画像情報分割部 5 は、各端末機に対応する仮 VRAM 6₁ ~ 6_n に画像情報を出力するようにしてもよい。

【0019】(3) 画像情報分割部 5 が分割するブロック単位を印字する頁単位毎としてもよい。このようにすると、各頁単位毎に並列処理ができるようになる。

【0020】(4) 画像情報分割部 5 が分割するブロック単位を 1 コマンド毎としてもよい。図 3 は、本実施例の画像情報処理装置を示す構成図であり、制御部 11 と、コマンド解釈部 15 と、コマンド実行部 12₁ ~ 12_n と、仮 VRAM 16₁ ~ 16_n と、VRAM 13 と、出力部 14 とよりなる。

【0021】コマンド解釈部 15 は、接続されたホスト

4

コンピュータ A からの画像情報を 1 コマンド毎に分割して、制御部 1 で指定されたコマンド実行部 12₁ ~ 12_n のいずれかに出力する。

【0022】コマンド実行部 12₁ ~ 12_n は、入力されるコマンドを実行して、後続の仮 VRAM 16₁ ~ 16_n に出力する。

【0023】このような構成とすると、コマンド解釈部 15 でホストコンピュータ A から入力される画像情報を複数のコマンド単位毎に分割し、各コマンド単位で独立させて仮 VRAM 16₁ ~ 16_n に格納し、適宜 VRAM 13 に出力することができるので、1 つの仮 VRAM (例えば 16₁) が VRAM 13 に画像情報を出力している間に他の仮 VRAM (例えば 16₂ ~ 16_n) に残りのコマンド単位毎に分割された画像情報を格納する動作を行える。したがって、印字処理を並列して行うことができ、複雑な画像情報を印字する場合でも印字速度の低下を防止することができる。

【0024】

【発明の効果】以上説明したように、本発明の画像情報処理装置によれば、入力された画像情報をブロック毎またはコマンド単位毎に分割する画像情報分割部と、分割された画像情報を個々に処理する複数個の画像情報処理部および第 1 記憶部 (仮 VRAM) とを設けたために、印字処理を並列して行うことができ、複雑な画像情報を印字する場合でも印字速度の低下を防止することができる。

【図面の簡単な説明】

【図 1】本発明の画像情報処理装置を示す構成図である。

【図 2】本発明の動作を説明するフローチャートである。

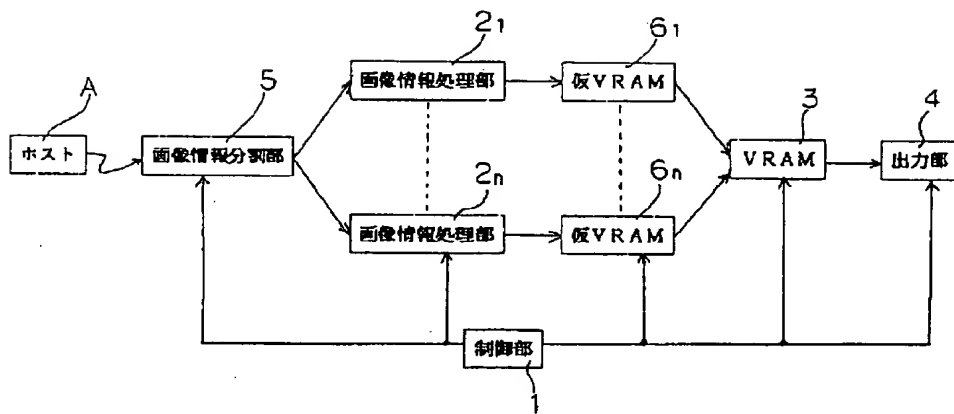
【図 3】本発明の他の実施例の画像情報処理装置を示す構成図である。

【図 4】従来の画像情報処理装置を示す構成図である。

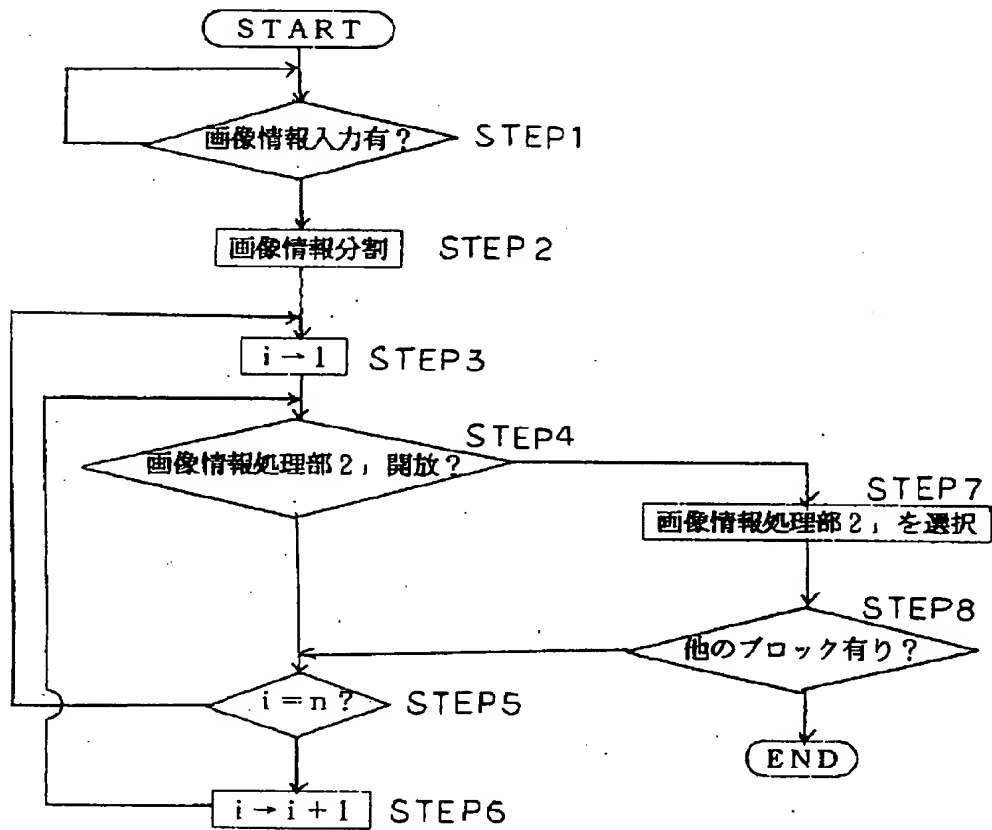
【符号の説明】

1、11、21：制御部
2₁ ~ 2_n、22、：画像情報処理部
3、13、23：VRAM
4、14、24：出力部
5、25：画像情報分割部
6₁ ~ 6_n、16₁ ~ 16_n：仮 VRAM
12₁ ~ 12_n：コマンド実行部
15：コマンド解釈部
A：ホストコンピュータ

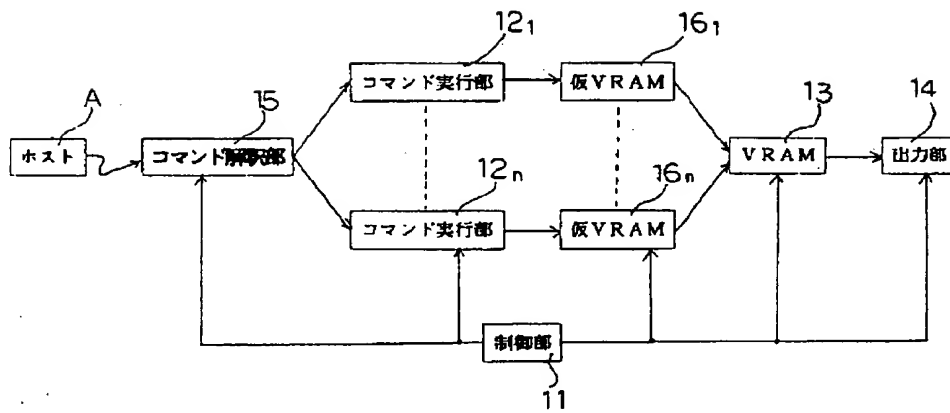
【図 1】



【図 2】



【図 3】



【図 4】

